

Cours 3 Microprocesseurs

Jalil Boukhobza

LC 206

boukhobza@univ-brest.fr

02 98 01 69 73

09/09/2015

Jalil Boukhobza

1

L'unité de contrôle

1. Cadencement des calculs d'une unité de traitement
2. Modélisation de l'unité de contrôle, spécification sous forme d'automate
3. Réalisation câblée et microprogrammée de l'unité de contrôle

09/09/2015

Jalil Boukhobza

2

Définition

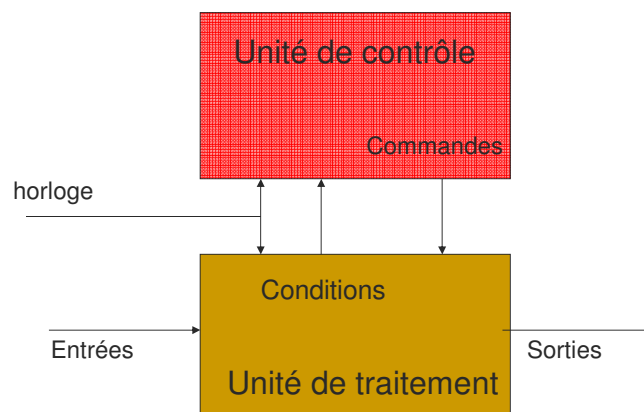
- L'unité de contrôle est un système **séquentiel**.
- **Les entrées** sont des conditions, signaux issus de l'unité de traitement.
- **Les sorties** sont des signaux de commande envoyés à l'unité de traitement, par exemple:
 - Chargement d'un registre
 - Commande d'opérateur (ex pour l'UAL)
 - Contrôle de chemin de données (bus, multiplexeurs, trois états)
- L'unité de contrôle peut échanger des signaux avec l'extérieur (initialisation, ordre particulier, etc.).

09/09/2015

Jalil Boukhobza

3

Schéma global

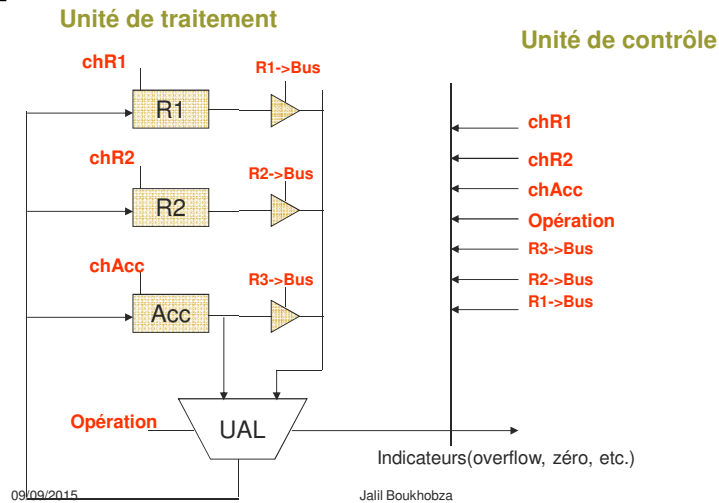


09/09/2015

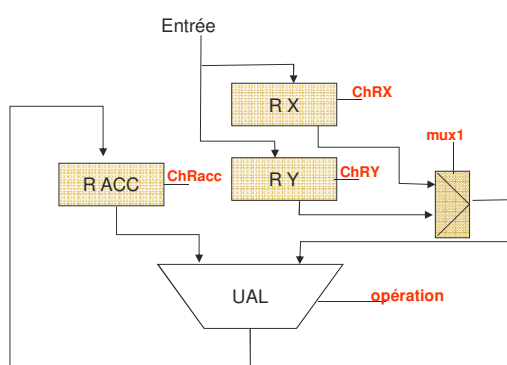
Jalil Boukhobza

4

Exemple de signaux à gérer par l'unité de contrôle



De l'influence de l'unité de traitement sur l'exécution d'une instruction



• Le séquenceur décide de quand activer les différentes unités de calculs.

Exemple: comment utiliser le circuit séquentiel précédent pour réaliser l'opération $A + B$ arrivant sur l'entrée ?

Utilisation d'un automate pour séquencer les opérations

- Le séquenceur décide de quand activer les différentes unités de calculs.
- Exemple: comment utiliser le circuit séquentiel précédent pour réaliser l'opération $A + B$ arrivant sur l'entrée ?

Séquence des opérations

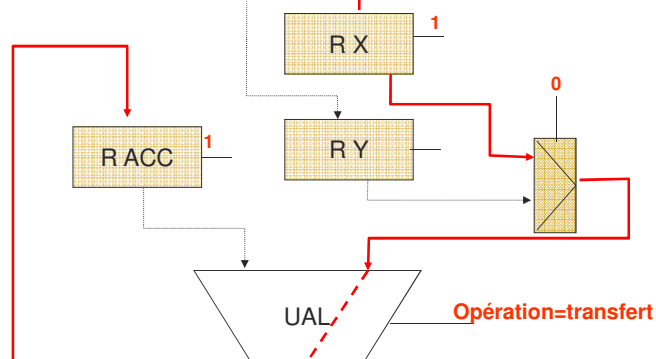
- charger le registre RX (utilisation du signal $chRx \rightarrow write\ enable$)
- charger le registre RY (signal $chRy$)
- laisser passer le contenu de RX dans l'UAL puis charger Racc (signaux de contrôle à activer: $mux1$, $op = transfert$, $chRacc$)
- réaliser l'addition entre le contenu de RY et Racc puis charger le résultat dans Racc (signaux de contrôle à activer : $mux1$, $op = +$, $chRacc$)

09/09/2015

Jalil Boukhobza

7

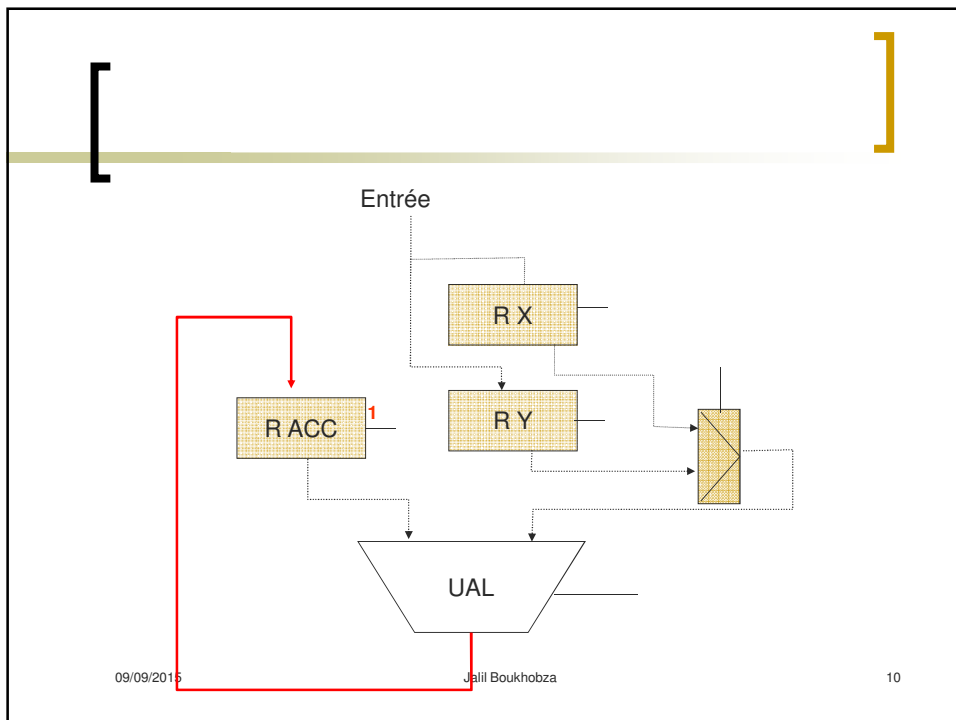
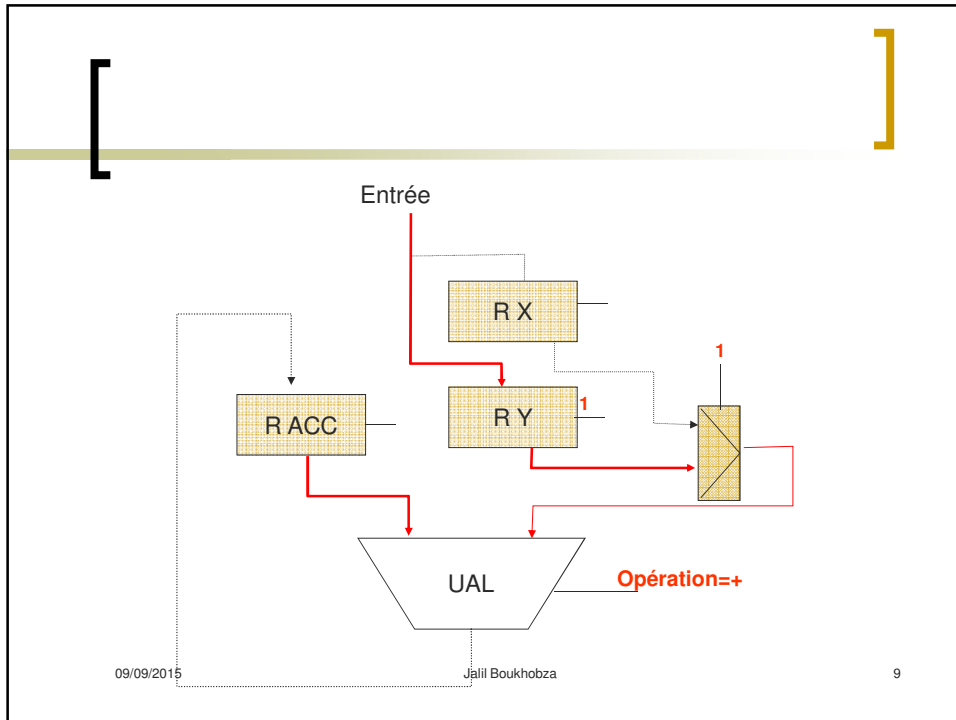
Entrée



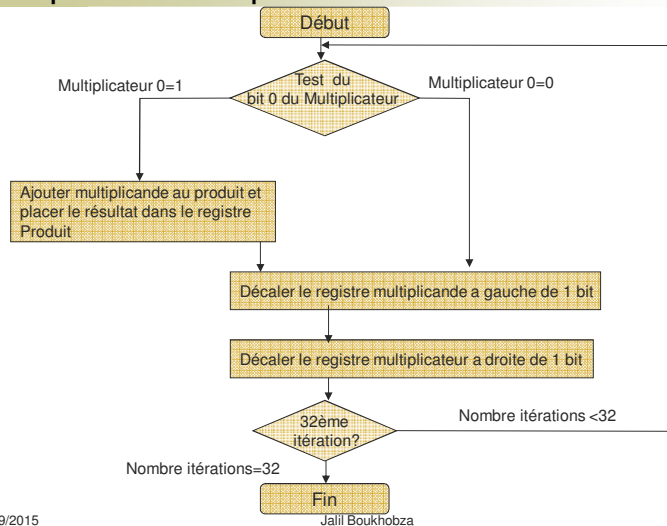
09/09/2015

Jalil Boukhobza

8



Algorithme pour le contrôle de la multiplication séquentielle



09/09/2015

Jalil Boukhobza

13

Modèle pour l'unité de contrôle

- L'unité de contrôle est généralement une machine séquentielle de type **Moore** pouvant être modélisée de la manière suivante (modèle général pour toute machine séquentielle synchrone):
 - des états internes Y (synchronisés par une seule horloge),
 - une fonction de transition f_t qui définit l'état futur,
 - et une fonction de sortie f_s qui définit les valeurs des sorties

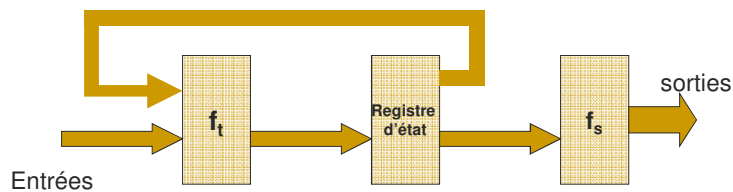
09/09/2015

Jalil Boukhobza

14

Machine de Moore

- Dans la machine de Moore, les sorties ne dépendent que de l'état interne.



$$\text{Sorties} = f_s(Y_{\text{état_courant}})$$

$$Y_{\text{état_suivant}} = f_t(Y_{\text{état_courant}}, \text{Entrées})$$

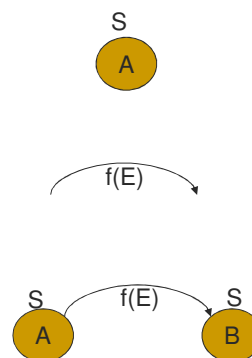
09/09/2015

Jalil Boukhobza

15

Graphe de transitions (machine de Moore)

- Etat interne
- Transition
- Changement d'état interne



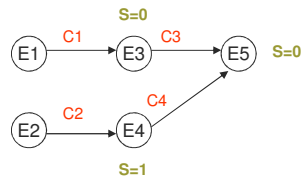
09/09/2015

Jalil Boukhobza

16

Utilisation d'un automate à états finis pour la spécification de l'unité de contrôle

selon Moore :

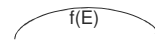


- **Noeud**: état interne du circuit: E1, E2, E3, E4, E5
- **Arc**: donne les conditions de transitions entre les états en fonction des entrées: C1, C2, C3, C4
- État es variables de **sortie** est donnée par chaque état du graphe: S

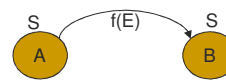
Etat interne



Transition



Changement d'état interne



09/09/2015

Jalil Boukhobza

17

Hypothèses pour la conception de machine synchrone

- pour les circuits synchrones, les activations d'horloge sont sous-entendues
- les automates sont **déterministes**
- l'état initial est généralement atteignable par une commande de **reset asynchrone**

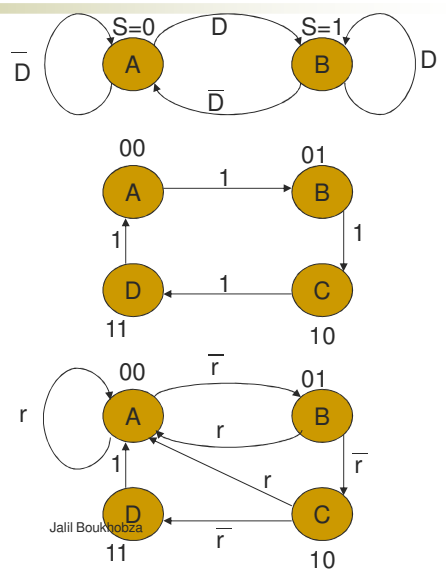
09/09/2015

Jalil Boukhobza

18

Exemples

- Bascule D
- Compteur 2 bits
- Compteur 2 bits avec remise à 0 synchrone



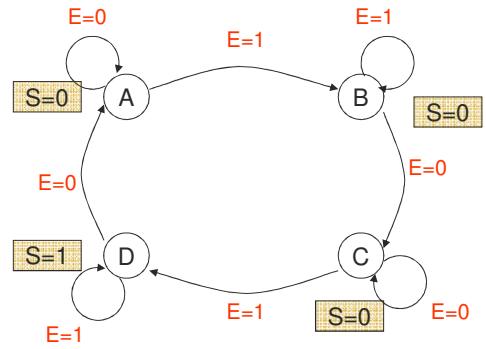
09/09/2015

Jalil Boukhobza

19

Autre exemple

Soit l'automate suivant

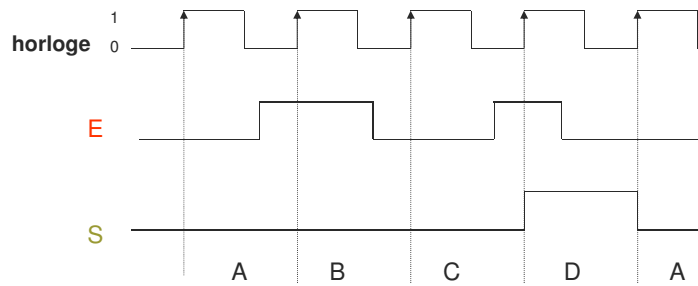


09/09/2015

Jalil Boukhobza

20

Résultat sous forme de chronogramme



09/09/2015

Jalil Boukhobza

21

Synthèse d'un automate à états finis: génération du circuit séquentiel correspondant

1. Définir le graphe d'états
2. Table des états: changement des états en fonction des entrées

État courant	E	\overline{E}
A	B	A
B	B	C
C	D	C
D	D	A

09/09/2015

Jalil Boukhobza

22

3. Codage des états du graphe

Pour un minimum de variables internes, on utilise un codage binaire N variables pour 2^N états

État	Y_0	Y_1
A	0	0
B	0	1
C	1	1
D	1	0

09/09/2015

Jalil Boukhobza

23

4. Table des transitions:

Y_0	Y_1	E	\bar{E}
00	A	01 _B	00 _A
01	B	01 _B	11 _C
11	C	10 _D	11 _C
10	D	10 _D	00 _A

E	Y_0	Y_1	$Y_0^+Y_1^+$
0	00 _A	00 _A	
0	01 _B	11 _C	
0	11 _C	11 _C	
0	10 _D	00 _A	
1	00 _A	01 _B	
1	01 _B	01 _B	
1	11 _C	10 _D	
1	10 _D	10 _D	

Équation des variables internes: il faut trouver les valeurs des états actuels en fonction des états précédent Y_0^+ et Y_1^+

$$Y_0^+ = Y_0 \cdot E + Y_1 \cdot \bar{E}$$

$$Y_1^+ = \bar{Y}_0 \cdot E + Y_1 \cdot \bar{E}$$

09/09/2015

Jalil Boukhobza

24

[

]

5. **Fonctions de sorties**S=1 à l'état D ($Y_0Y_1=10$)S=0 pour les états A ($Y_0Y_1=00$), B ($Y_0Y_1=01$) et C ($Y_0Y_1=11$)

$$S = Y_0 \cdot \bar{Y}_1$$

6. Pour une implémentation avec les bascules D, la valeur future de la variable interne est alors injectée en entrée de la bascule D.

$$Q^+ = D$$

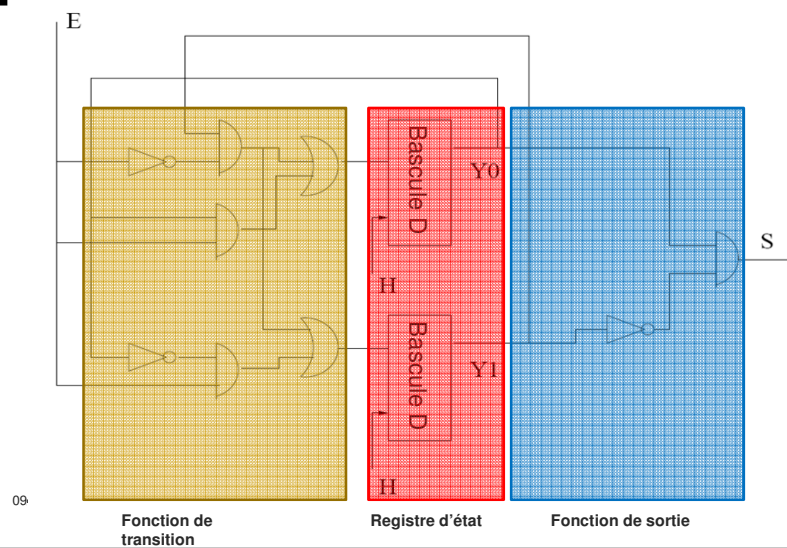
09/09/2015

Jalil Boukhobza

25

[

]



De l'influence du codage des états

- Autre choix de codage:
 - A=00, B=01, C=10, D=11
 - A=0001, B=0010, C=0100, D=1000 (machine à jetons)
- La table de transition devient:

$Y_0 Y_1$	E	\overline{E}
00 A	01 B	00 A
01 B	01 B	10 C
10 C	11 D	10 C
11 D	11 D	00 A

09/09/2015

Jalil Boukhobza

27

- D'où les équations:

$$Y_0^+ = E.Y_0 + \overline{E}.(Y_0 \oplus Y_1)$$

$$Y_1^+ = E$$

et donc des implémentations différentes

09/09/2015

Jalil Boukhobza

28

[Unité de contrôle câblée]

- L'unité de contrôle est vue comme un **automate à jetons** (une bascule par état).
- L'automate est alors implémenté en utilisant des bascules D pour les registres. Le circuit séquentiel obtenu définit alors chaque sortie comme l'union des états où cette sortie vaut 1.

09/09/2015

Jalil Boukhobza

29

[

Dessinez le circuit de l'automate précédent avec un codage à jetons.

09/09/2015

Jalil Boukhobza

30

L'unité de contrôle micro programmée

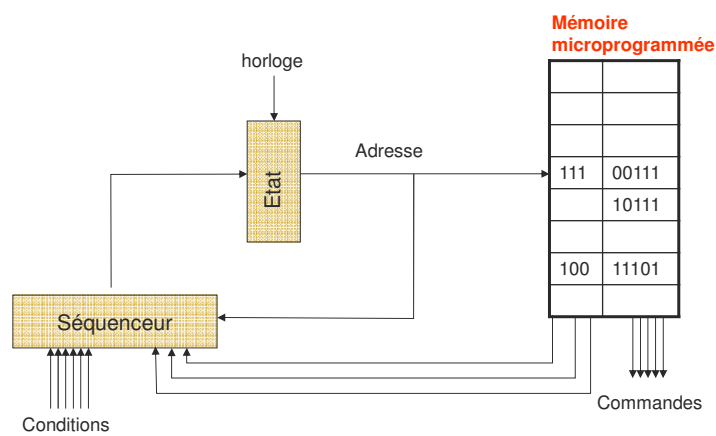
- Idée de M.V Wilkes (1951)
- Utilisation pour l'unité de contrôle d'une **mémoire** (mémoire de microprogramme). Cette mémoire assure la génération des commandes (pour l'unité de traitement) et les fonctions de séquencement.
- **intérêt**: conception plus simple et plus souple que la conception câblée.
- **inconvenient**: plus lente qu'une conception câblée
- Les processeurs « RISC » utilisent plutôt la version câblée, les processeurs « CISC » la version micro programmée.

09/09/2015

Jalil Boukhobza

31

Microprogrammation



09/09/2015

Jalil Boukhobza

32

Microprogrammation (2)

- À chaque fois qu'une instruction est lue, le code de l'opération (opcode/codeOp) peut être considéré comme l'adresse en mémoire des signaux de contrôle à envoyer.
- Il faut envoyer les signaux de contrôle au bon moment (5 phases d'exécution des instructions)
 - Dans un premier temps: les signaux correspondant à l'adresse donnée par l'opcode
 - Signaux correspondant à adresse+1 / ou autre ...etc
 - Ex: Overflow sur une addition → ne pas aller à adresse+1 mais faire un saut sur une autre adresse.
- Le registre « état »: sert à mémoriser l'adresse pour le calcul de l'adresse suivante.

09/09/2015

Jalil Boukhobza

33

Microprogrammation (3)

- Trois choix se présentent donc pour l'emplacement de la micro instruction (ensemble de commandes) suivante:
 - Celle se trouvant à adresse+1
 - Dans un autre emplacement mémoire qui dépend d'une condition (ex: résultat=0)
 - Dépend de l'Opcode de l'instruction. Ex: la phase 1 de l'exécution d'une instruction (le préchargement) est la même quelque soit l'instruction, la micro-instruction suivante dépendra donc de l'opcode.
- ... d'où les 3 entrées du séquenceur !

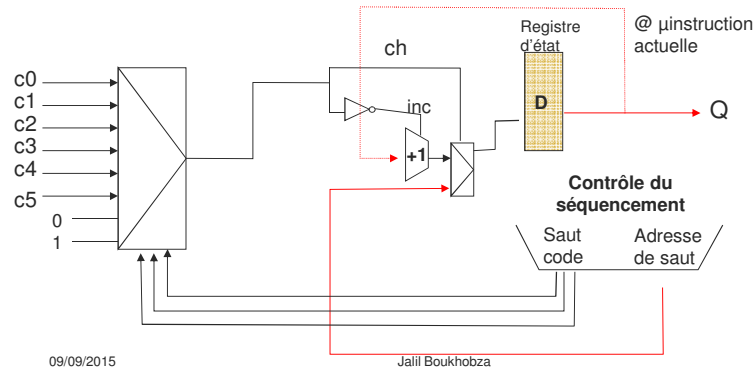
09/09/2015

Jalil Boukhobza

34

Séquenceur

- Le séquençage est assuré par la mémoire de microprogramme. La micro action à effectuer est obtenue par incrémentation ou par saut conditionnel d'adresse.



09/09/2015

Jalil Boukhobza

35

Séquenceur (2)

- Dans l'exemple précédent:

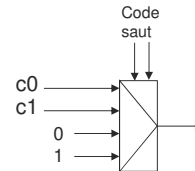
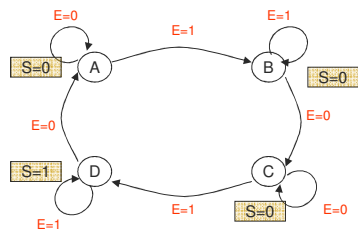
Code Saut	Séquençage réalisé
000	Saut si C0
001	Saut si C1
010	Saut si C2
011	Saut si C3
100	Saut si C4
101	Saut si C5
110	Passage en séquence (@+1)
111	Saut inconditionnel

09/09/2015

Jalil Boukhobza

36

Exemple



Code saut	Séquencement réalisé
00	Saut si E=1
01	Saut si E=0
10	Passage en séquence
11	Saut inconditionnel

09/09/2015

Jalil Boukhobza

37

Mémoire de microprogramme associée

N °Case mémoire	Commande	Code saut	adresse
0	0	Saut E=0	0
1	0	Saut E=1	1
2	0	Saut E=0	2
3	1	Saut E=1	3
4	0	Saut	0

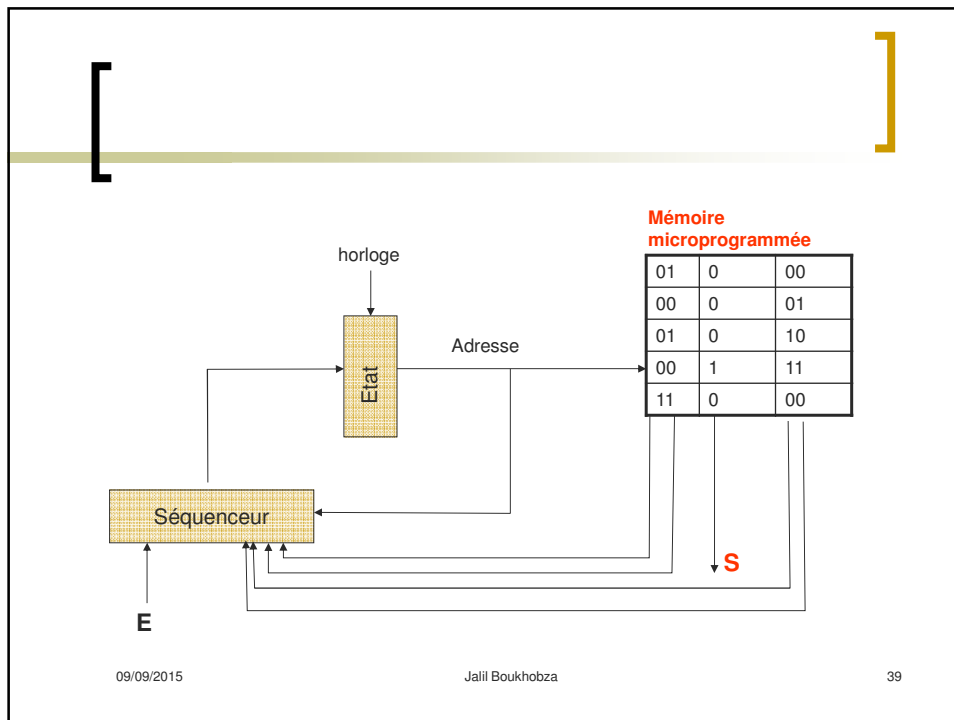
Soit en binaire

N° Case mémoire	Commande	Code saut	adresse
0	0	01	00
1	0	00	01
2	0	01	10
3	1	00	11
4	0	11	00

09/09/2015

Jalil Boukhobza

38



Microprogramme horizontal et vertical

- Horizontal**
 chaque bit des micro-instructions correspond à un signal de contrôle
 => simple à implémenter mais grande dépense de micro-mémoire
- Vertical**
 les micro-instructions correspondent à un codage des signaux de contrôle
 => plus complexe mais économie de micro-mémoire

Les mémoires

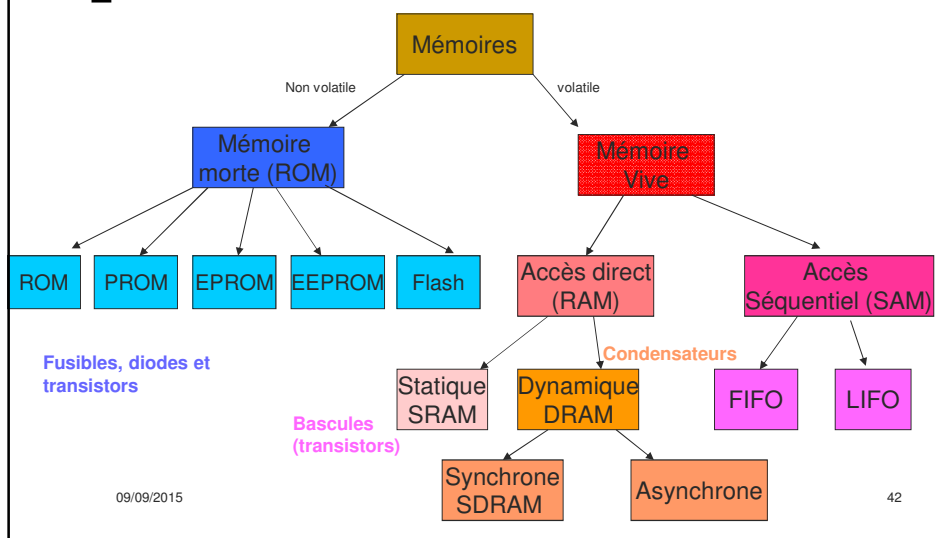
- Caractéristiques principales d'une mémoire :
 - **capacités** : quantité d'information pouvant être stockées
 - **accès a l'info** : mémoire à accès direct, chaque mot de la mémoire est accessible directement et individuellement grâce a une adresse (**temps d'accès** , **temps de cycle**)
 - **mode de fonctionnement** : lecture/écriture
 - **Permanence (non volatilité)** des informations

09/09/2015

Jalil Boukhobza

41

Les mémoires (2)



Structure des mémoires a accès direct

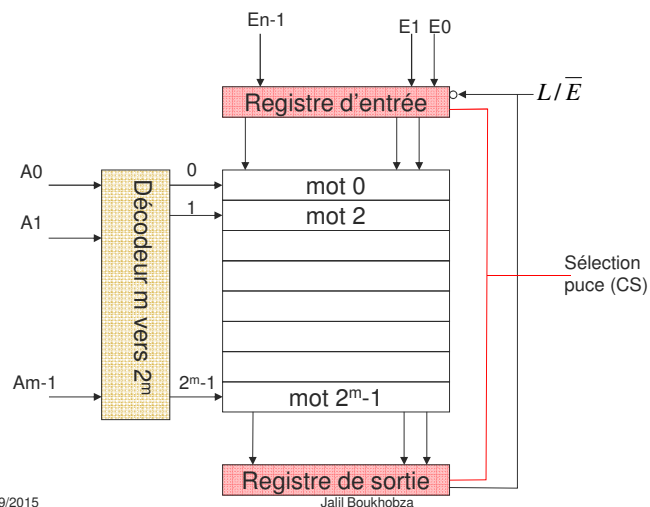
- La structure générale comporte :
 - **un plan mémoire** avec 2^m lignes et n colonnes.
 - **un circuit de décodage** pour sélectionner les mots, en entrée du circuit de décodage: une adresse, en sortie: les signaux d'activation des lignes.
 - **circuit d'E/S**, possibilité de mettre sur un bus commun les entrées et les sorties.
 - **logique de contrôle** : pour la sélection du boîtier, l'autorisation de sortie et la demande d'écriture.

09/09/2015

Jalil Boukhobza

43

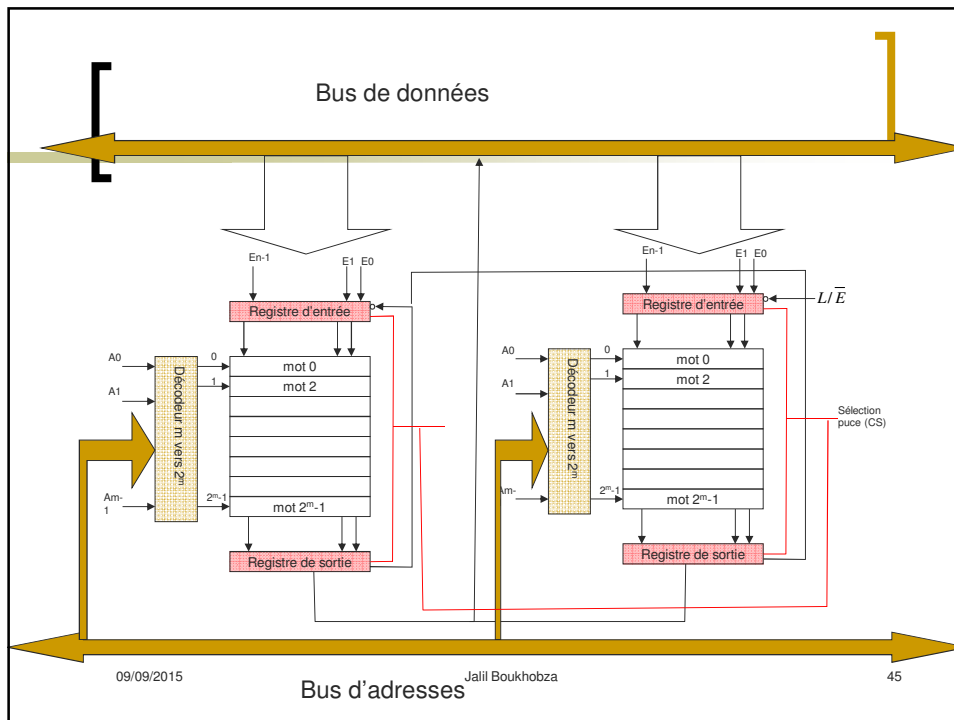
Organisation générale d'une mémoire



09/09/2015

Jalil Boukhobza

44



Références bibliographiques

- *'Organisation et architecture de l'ordinateur'* William Stallings, 2003 Pearson Education France.
- *'Architectures logicielles et matérielle'* Paul Amblard et co, 2000, Dunod.
- *'Organisation et conception des ordinateurs'* David Patterson et John Hennessy, 1994 Dunod
- *'Architecture et technologie des ordinateurs'* Paolo Zanalla et Yves Ligier, 1998 Dunod